

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS ✓
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Jae-Bon KOO, et al.

Art Unit: TBD

Appl. No.: To Be Assigned

Examiner: TBD

Filed: Concurrently Herewith

Atty. Docket: 6161.0118.US

For: **FLAT PANEL DISPLAY**

Claim For Priority Under 35 U.S.C. § 119 In Utility Application

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Priority under 35 U.S.C. §119 is hereby claimed to the following priority document(s), filed in a foreign country within twelve (12) months prior to the filing of the above-referenced United States utility patent application:

Country	Priority Document Appl. No.	Filing Date
KOREA	10-2003-0027071	April 29, 2003

A certified copy of Korean Patent Application No. 10-2003-0027071 is enclosed.

Prompt acknowledgment of this claim is respectfully requested.

Respectfully submitted,



Hae-Chan Park
Reg. No. 50,114

Date: January 12, 2004

McGuireWoods LLP
1750 Tysons Boulevard, Suite 1800
McLean, VA 22102
Telephone No. 703-712-5365
Facsimile No. 703-712-5280



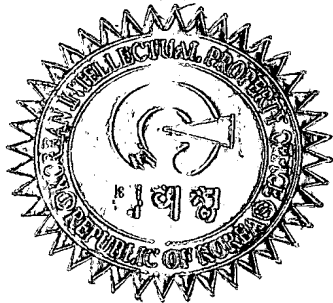
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0027071
Application Number

출원년월일 : 2003년 04월 29일
Date of Application
APR 29, 2003

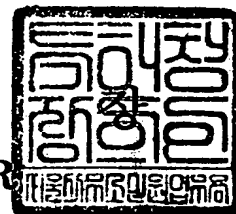
출원인 : 삼성에스디아이 주식회사
Applicant(s)
SAMSUNG SDI CO., LTD.



2003 년 07 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.04.29
【국제특허분류】	H01L
【발명의 명칭】	평판표시소자
【발명의 영문명칭】	Flat panel display
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050326-4
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-004535-8
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	K00, Jae Bon
【주민등록번호】	720706-1767718
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK, Ji Yong
【주민등록번호】	700331-1823311

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상일
【성명의 영문표기】	PARK,Sang Il
【주민등록번호】	750320-1042314
【우편번호】	158-860
【주소】	서울특별시 양천구 신정4동 983-12
【국적】	KR
【발명자】	
【성명의 국문표기】	김혜동
【성명의 영문표기】	KIM,Hye Dong
【주민등록번호】	641019-1182514
【우편번호】	463-703
【주소】	경기도 성남시 분당구 구미동(무지개마을) 대림아파트 107동 1902호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원
【합계】	630,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 화면 상에 줄무늬가 발생하지 않고, 따라서 화상품질이 향상된 평판표시소자를 제공하는 것을 목적으로 한다.

상기와 같은 목적을 달성하기 위하여 본 발명은, 구동 박막트랜지스터, 상기 구동 박막트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2전극을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서, 상기 구동 박막트랜지스터의 반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어 있고, 일 열의 구동 박막트랜지스터의 반도체채널들 각각을 연결하는 선은 상기 불균일부와 평행하지 않은 것을 특징으로 하는 평판표시소자를 제공한다.

【대표도】

도 9

【명세서】

【발명의 명칭】

평판표시소자 {Flat panel display}

【도면의 간단한 설명】

도 1 은 평판표시소자의 회로를 도시하는 회로도이고, J

도 2 는 도 1 의 A 부분을 도시하는 개략도이고,

도 3 은 도 1 의 B 부분을 도시하는 개략도이고,

도 4a 는 도 3 의 IV-IV 선을 따라 취한 전계발광소자의 단면도이고,

도 4b 는 도 3 의 IV-IV 선을 따라 취한 액정표시소자의 단면도이고,

도 5 는 반도체층의 결정화 공정을 도시하는 사시도이고,

도 6 은 결정화 공정이 완료된 상태의 반도체층을 도시하는 평면도이고,

도 7 은 결정화 공정이 완료된 반도체층의 위치별 도전성을 도시하는 그래프이고,

도 8 은 종래의 평판표시소자의 반도체채널의 배열을 도시하는 개략도이고,

도 9 는 도 2 에 대응하여 본 발명의 제1실시예에 따른 평판표시소자를 도시하는 개략도이고,

도 10 은 도 8 에 대응하여 본 발명의 제1실시예에 따른 평판표시소자의 반도체채널의 배열을 도시하는 개략도이고,

도 11 은 도 8 에 대응하여 본 발명의 제2실시예에 따른 평판표시소자를 도시하는 개략도이고,

도 12 는 도 8 에 대응하여 본 발명의 제3실시예에 따른 평판표시소자의 반도체채널의 배열을 도시하는 개략도이고,

도 13 은 도 8 에 대응하여 본 발명의 제4실시예에 따른 평판표시소자의 반도체채널의 배열을 도시하는 개략도이고,

도 14 는 도 8 에 대응하여 본 발명의 제5실시예에 따른 평판표시소자의 반도체채널의 배열을 도시하는 개략도이다.

* 도면의 주요부분에 대한 부호의 설명 *

10: 제1박막트랜지스터 11: 제1게이트전극

12: 제1소스전극 13: 제1드레인전극

20: 제1도선 30: 제2도선

40: 스토리지 커패시터 50: 제2박막트랜지스터

51: 제2게이트전극 52: 제2소스전극

53: 제2드레인전극 60: 발광부

61: 제1전극 62: 제2전극

70: 제3도선 80: 반도체채널

80a: 비정질 반도체층 80b: 다결정질 반도체층

80c: 레이저광선 81: 기판

82: 버퍼층 87: 발광층

91: 제1기판 102: 제2기판

H: 수평구동회로 V: 수직구동회로

L1: 제1배열선 L2: 제2배열선

L3: 제3배열선 L4: 제4배열선

L5: 제5배열선 L6: 제6배열선

M: 불균일부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<34> 본 발명은 평판표시소자에 관한 것으로서, 더 상세하게는 구동 박막트랜지스터를 구비한 액티브 매트릭스 평판표시소자에 관한 것이다.

<35> 도 1 에는 통상의 평판표시소자의 회로도가 도시되어 있고, 도 2 에는 도 1 의 A에 해당하는 부분의 구성이 대략적으로 도시되어 있으며, 도 3 에는 도 1 의 B에 해당하는 부분의 구성이 대략적으로 도시되어 있는바, 도 3 에 도시된 구동 박막트랜지스터(50)는 도 4a 및 도 4b 와 같은 단면을 갖는다. 여기서 도 4a는 평판표시소자가 전계발광소자인 경우이고, 도 4b 는 평판표시소자가 액정표시소자인 경우인데, 어느 경우든 구동 박막트랜지스터의 구성은 동일 또는 유사하다고 할 수 있다.

<36> 도 4a 및 도 4b에서 알 수 있는 바와 같이 상기 구동 박막트랜지스터(50)의 통전 채널을 형성하는 반도체채널(80)은 기판(81, 91) 상에 형성된 버퍼층(82, 92) 위에 형성되는데, 이 반도체채널이 다결정질 반도체층으로 형성되는 경우에는, 도 5 에 도시된 바와 같이 비정질 반도체층(80a)에 레이저광선(80c)를 조사함으로써 다결정질 반도체층(80b)으로 결정화한다. 이와 같은 빛을 이용한 반도체층의 결정화 방법, 즉 ELA(Eximer Laser Annealing) 방법은 미국특

혀 제6,495,405호에 개시되어 있다. 상기 결정화에 있어서, 폭이 좁은 레이저광선으로 넓은 면적의 비정질 반도체층을 결정화하기 위하여는, 비정질 반도체층의 일 영역에 레이저를 조사한 후에 도 5에 도시된 화살표 방향의 측방향으로 일정거리만큼 쉬프트(shift)하기를 반복한다. 이 때 상기 쉬프트되는 거리는 레이저광선의 폭보다 좁으며, 통상적으로 상기 레이저광선의 폭의 1% 내지 15% 정도 쉬프트되므로, 80% 내지 99%의 영역은 오버랩(overlap)되어 결정화된다. 이런 식으로 결정화를 진행시키면 일 영역은 수회에 걸쳐서 레이저광선을 받게 되고 결정화된다.

<37> 그러나 이와 같은 방법으로 결정화된 다결정질 반도체층에는 도 6에 도시된 바와 같은 줄무늬(M)가 형성되는데, 이 줄무늬는 다른 부분과 그 특성이 다르므로 불균일부라고 칭하기로 한다. 이 불균일부(M)는 레이저광선 자체의 불안정성과 에지부의 광불균일로 인하여 형성되는 것으로 추정되고, 이 부분은 구동 박막트랜지스터의 작동 조건에 따라서 다른 영역과는 다른 도전성을 갖기 때문에 화상의 휘도불균일성의 원인이 된다. 이와 같은 사항은 도 7에 도시된 반도체층의 위치에 따른 도전성 그래프(90%의 오버랩 조건)로부터 알 수 있는바, 상기 도전성은 상기 불균일부의 위치에 대응하여 반복성을 갖는다.

<38> 도 8에는 상기 불균일부를 고려하지 않고 일 열(L1)을 따라 배열된 종래의 평판표시소자의 반도체채널들이 도시되어 있는데, 반도체채널의 흑/백으로서 도시된 바와 같이 반도체채널의 일부 열은 상기 불균일부를 포함하고 있지 않고 다른 일부 열은 불균일부를 포함하고 있다. 이 때문에 반도체 채널의 도전성에 차이가 발생하는데, 이 때문에 서브픽셀들에 동일한 신호가 주어져도, 불균일부를 가진 구동 박막트랜지스터를 구비한 서브픽셀의 발광부(60)와 불균일부가 없는 구동 박막트랜지스터를 구비한 서브픽셀의 발광부(60) 간에는 휘도 차이가 있게 되고, 이는 화면 상에 줄무늬가 생기게 하여 화상품질에 저하시킨다는 문제를 야기한다.

【발명이 이루고자 하는 기술적 과제】

<39> 본 발명은 상기와 같은 문제를 해결하여, 화면 상에 줄무늬가 발생하지 않고, 따라서 화
상품질이 향상된 평판표시소자를 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

<40> 상기와 같은 목적을 달성하기 위하여 본 발명은, 구동 박막트랜지스터, 상기 구동 박막
트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2전극을
구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서, 상기 구동 박막트랜지스터의
반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어 있고,
일 열의 구동 박막트랜지스터의 반도체채널들 각각을 연결하는 선은 상기 불균일부와 평행하지
않은 것을 특징으로 하는 평판표시소자를 제공한다.

<41> 상기 구동 박막트랜지스터의 반도체채널들을 연결하는 선은 직선이 아닌 것이 바람직하
고, 지그재그 형태를 갖는 것이 더 바람직하다. 또한 상기 지그재그 형태는 규칙적인 지그재
그 형태일 수도 있고, 불규칙적인 지그재그 형태일 수도 있다. 나아가 상기 지그재그 형태는
2단의 지그재그 형태일 수도 있고, 3단의 지그재그 형태일 수도 있다.

<42> 상기 불균일부들은 일정한 간격으로 형성되고, 상기 지그재그 형태의 폭은 상기 불균일
부의 폭보다 큰 것이 바람직하다.

<43> 또한 상기와 같은 목적을 달성하기 위하여 본 발명은, 구동 박막트랜지스터, 상기 구동
박막 트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2
전극을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서, 상기 구동 박막트랜지
스터의 반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어

있고, 상기 구동 박막트랜지스터들의 반도체채널들 각각은 불균일부를 구비한 것을 특징으로 하는 평판표시소자를 제공한다. 상기 반도체채널 각각은 동일한 수의 불균일부를 구비하는 것이 바람직하다.

<44> 상기 구동 박막트랜지스터의 반도체채널은, 비결정질실리콘을 다결정질실리콘으로 결정화시키기 위하여 조사되는 레이저빔의 단축길이와, 상기 레이저빔이 오버랩되지 않는 부분의 비율을 곱한 수치의 길이를 갖는 것이 바람직하다.

<45> 나아가 상기와 같은 목적을 달성하기 위하여 본 발명은, 구동 박막트랜지스터, 상기 구동 박막트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2전극을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서, 상기 구동 박막트랜지스터의 반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어 있고, 상기 구동 박막트랜지스터들의 반도체채널들은 상기 불균일부 사이에 형성된 것을 특징으로 하는 평판표시소자를 제공한다.

<46> 상기 불균일부들은 일정한 간격으로 형성될 수 있다.

<47> 이어서, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다.

<48> 도 9 에는 본 발명의 제1실시예에 따른 평판표시소자의 서브픽셀들이 도시되어 있고, 도 10 에는 제1실시예에 따른 평판표시소자의 반도체채널의 배열이 도시되어 있다. 또한 이 평판표시소자의 회로도도 도 1 에 도시되어 있고, 각 서브픽셀의 구조는 도 3 에 개략적으로 도시되어 있으며, 평판표시소자의 예로서 도 4a 에는 전계발광소자가 도시되어 있고, 도 4b 에는 액정표시소자가 도시되어 있다.

<49> 상기 평판표시소자는 구동 박막트랜지스터(50), 상기 구동 박막 트랜지스터에 의하여 구동되는 제1전극(61), 및 상기 제1전극과 함께 발광부를 구동하는 제2전극(62)을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자이다. 상기 구동 박막트랜지스터의 반도체채널(80)은 다결정질 실리콘으로 형성된 반도체층(80b)이 식각됨으로써 형성되는데, 상기 반도체층에는 직선상의 불균일부(M)들이 소정의 간격으로 형성되어 있고, 따라서 상기 구동 박막트랜지스터의 반도체채널에는 그 위치에 따라서 불균일부가 포함될 수도 있고 포함되지 않을 수도 있다. 상기 불균일부의 간격은 일정한 것이 일반적이지만, 일정하지 않은 경우도 있을 수 있다.

<50> 상기 구동 박막트랜지스터(50)들은 각 서브픽셀마다 개별적으로 연결되어 있으므로 대체적으로 매트릭스 형태로 배열되는데, 제1방향으로 배열된 일 열의 박막트랜지스터가 상기 제1방향에 직교하는 제2방향으로 배열됨으로써 전체적으로 매트릭스 형태로 배열된다. 상기 제1방향이라함은, 예를 들어 제3도선(70)이 연장된 방향일 수도 있고 이에 직교하는 방향일 수도 있다. 또한 구동 박막트랜지스터의 일부를 구성하는 반도체채널들도 대체적으로 매트릭스 형태로 배열된다.

<51> 본 실시예에 있어서, 상기 일 열의 구동 박막트랜지스터의 반도체채널들은 이들 각각을 연결하는 선(L2)이 상기 불균일부(M)와 평행하지 않게 배열된다. 상기 일 열의 반도체채널을 불균일부와 평행하지 않게 되도록 배열하는 방법은 다양한데, 예를 들어 일 열의 반도체채널을 전체적으로 대각선 상으로 배열하는 경우(도시되지 않음)가 있다. 이 경우에는 상기 일 열의 반도체채널을 연결하는 선이 직선을 이루지만 상기 불균일부와 소정의 각도를 이루므로 불균일부와 평행하게 되지는 않는다.

<52> 일 열의 반도체채널의 다른 배열방법으로써, 반도체채널들이 직선을 형성하지 않게 배열하는 방법이 있다. 이 경우의 대표적인 경우로서는 도 9 및 도 10에 도시된 바와 같이 이들

을 지그재그 형태로 배열하는 방법이 있다. 이 경우에는 일 열을 이루는 반도체채널들이 규칙적으로 지그재그 형태(L2)로 배열되어 있다. 본 실시예에서는 불균일부의 간격이 일정한 경우를 상정하고 있는데, 이 경우에 상기 지그재그 형태의 폭, 즉 반도체채널을 연결하는 선(L2)의 최우측 지점과 최좌측 지점 간의 수평거리는 상기 불균일부(M)의 폭보다 큰 것이 바람직하다. 상기 지그재그 형태의 폭이 지나치게 좁으면 상기 선(L2)이 실질적으로 직선과 동일하게 되기 때문이다.

<53> 도 10에서는 반도체채널들 중 불균일부(M)를 포함하는 반도체채널은 내부를 색으로 채움으로써 표시하고, 불균일부를 포함하지 않는 반도체채널은 내부를 비워서 도시하였다. 반도체채널을 도 10에 도시된 바와 같이 규칙적인 지그재그 형태로 배열함으로써, 일 열의 반도체채널들 전체가 불균일부를 포함하게 되는 경우와 또한 일 열의 반도체채널들 전체가 불균일부를 포함하지 않는 경우가 방지된다. 따라서 불균일부의 포함여부에 따른 휘도차이가 일 열로 발생하지 않고 화면 전체에 고루 분포하게 되며, 결국 작동시 화면 상에 줄무늬가 발생하지 않게 된다. 휘도차이를 갖는 서브픽셀들이 화면 전체에 고르게 분포되면, 휘도의 차이가 육안으로 식별되기 어려우므로 화상의 품질이 향상된다.

<54> 제 1 실시예의 변형예로서 둘 이상의 인접한 반도체 채널들을 묶어서 지그재그로 배열하는 경우가 있을 수 있다. 즉 지그재그 형태가 도 10에 도시된 바와 같이 좌측 및 우측으로 꺾이는 2단 지그재그 형태인 경우에, 좌측에 두 개의 반도체채널이 연속해서 배치되고 그 다음에 우측에 두 개의 반도체채널이 연속해서 배치되는 형태가 반복된 형태의 지그재그 형태도 가능하다. 물론 세 개의 반도체채널을 묶어서 지그재그 형태로 배열하는 것도 가능하다.

<55> 이하에서는 상기 평판표시소자의 전체적인 구성 및 작동에 관하여 설명한다.

<56> 도 1 에는 평판표시소자에 사용되는 회로의 일 실시예가 도시되어 있다. 상기 회로는 스위칭 박막트랜지스터(10), 구동 박막트랜지스터(50), 스토리지 커패시터(storage capacitor; 40), 및 발광부(60)를 구비하는데, 상기 스위칭 박막트랜지스터의 제1소스전극(12)은 제1도선(20)에 의하여 수평구동회로(H)에 연결되고, 스위칭 박막트랜지스터의 제1게이트전극(11)은 제2도선(30)에 의하여 수직구동회로(V)에 연결되며, 스위칭 박막트랜지스터의 제1드레인전극(13)은 스토리지 커패시터의 제1커패시터전극(41) 및 구동 박막트랜지스터(50)의 제2게이트전극(51)과 연결된다. 상기 스토리지 커패시터의 제2커패시터전극(42)과 구동 박막트랜지스터의 제2소스전극(52)은 제3도선(70)과 연결되고, 구동 박막트랜지스터의 제2드레인전극(53)은 발광부(60)의 제1전극(61)과 연결되며, 발광부의 제2전극(62)은 상기 제1전극과 소정의 간극을 두고 제1전극에 대향하게 배치되며, 제1전극과 제2전극 사이에는 평판표시소자의 종류에 따라서 유기물, 무기물, 또는 액정 등이 배치된다.

<57> 도 3 에는 상기 스위칭 박막트랜지스터(10)와 구동 박막트랜지스터(50)를 구비한 평판표시소자의 일 서브픽셀이 도시되어 있다. 도 3 에는 전기가 통하는 부분만이 도시되었으며, 도 4a 및 도 4b 에 도시된 기관(81, 91), 버퍼층(82, 92), 각종 절연층(83, 84, 85), 평탄화층(86), 발광층(87), 액정층(98), 제2전극(62), 편광층(103), 배향층(97, 99), 칼라필터층(101) 등은 도시되지 않았다. 도 3 의 각 구성부분이 겹친 부분 중, 빗금으로서 표시된 부분만 통전되도록 연결되어 있다.

<58> 상기 제1게이트전극(11)에 전압이 인가되면 제1소스전극(12)과 제1드레인전극(13)을 연결하는 반도체채널에 도전채널이 형성되는데, 이 때 상기 제1도선에 의하여 제1소스전극에 전하가 공급되면 제1드레인전극(13)으로 전하가 이동하게 된다. 제3도선(70)에는 상기 일 서브픽셀에 의하여 표현되는 휘도를 결정하는 전하량이 공급되고, 상기 제1드레인전극에 의하여

제2게이트전극(51)에 전하가 공급되면 제2소스전극(52)의 전하가 제2드레인전극(53)으로 이동하여 발광부의 제1전극(53)을 구동하게 된다. 상기 스토리지 커패시터(40)는 제1전극의 발광을 유지하거나 또는 구동속도를 향상시키는 기능을 한다. 참고적으로, 상기 스위칭 박막트랜지스터와 구동 박막트랜지스터의 단면구조는 서로 유사하고, 연결되는 인접 구성요소는 상이하다.

<59> 도 4a 에 도시된 전계발광소자는 기판(81), 박막트랜지스터(50), 제1도선(20), 제2도선(30), 및 제1전극(61), 발광층(87), 및 제2전극(62)을 구비한다. 전계발광소자가 배면발광형인 경우에는 상기 기판(81)이 투명한 소재, 예를 들면 유리로 형성되고, 상기 제2전극은 알루미늄과 같이 반사율이 좋은 금속 소재로 형성되는 것이 바람직하다. 전계발광소자가 전면발광형인 경우에는 상기 제2전극이 투명한 도전체, 예를 들면 ITO 등으로 형성되고, 제1전극은 반사율이 좋은 금속소재로 형성되는 것이 바람직하다.

<60> 상기 기판 상에는 전체적으로 버퍼층(82)이 형성되고, 그 위에는 반도체층(80b)이 형성되며, 그 위에는 전체적으로 제1절연층(83)이 형성되고, 그 위에는 제2게이트전극(51)이 소정 패턴으로 형성되며, 그 위에는 전체적으로 제2절연층(84)이 형성된다. 제2절연층이 형성된 후에는 드라이에칭 등의 공정에 의하여 상기 제1절연층과 제2절연층을 식각하여 상기 반도체층으로부터 반도체채널(80)을 형성하고, 이 부분은 소정의 패턴으로 형성되는 제2소스전극(52) 및 제2드레인전극(53)과 연결된다. 상기 제2소스전극(52) 및 제2드레인전극(53)이 형성된 후에는 이들 위에 제3절연층(85)를 형성하고, 그 일부를 식각하여 제2드레인전극(53)과 제1전극(61)과의 도전통로를 형성한다. 상기 제3절연층 위에 제1전극을 형성한 후에는 평탄화층(86)을 형성하고, 제1전극에 대응하는 부분을 식각해낸다. 그 후 상기 제1전극 상에 발광층(87)을 형성하고, 발광층 위에 제2전극(62)을 형성한다.

<61> 상기 구동 박막트랜지스터(50)는 제2소스전극(52), 제2드레인전극(53), 제2게이트전극(51), 및 반도체채널(80)을 구비하는데, 일반적으로 상기 제2소스전극(52)과 제2드레인전극(53)은 동일한 수평면 상에서 서로 간극을 두고 배치되되 상기 반도체채널(80)에 의하여 통전될 수 있도록 각각 반도체채널과 연결되며, 상기 제2게이트전극(51)은 제2소스전극, 제2드레인전극, 및 반도체채널과 절연되되 상기 수평면에 수직하고 상기 간극에 위치한 수직선 상에 배치된다. 한편 박막트랜지스터는 상기 전극들과 반도체층의 배치구조에 따라서 스테거형(staggered type), 역 스테거형(inverted staggered type), 및 코플래너형(coplanar type), 역 코플래너형(inverted coplanar type) 등으로 구분되는데, 본 실시예에서는 코플래너형을 예로 들어 설명하지만 본 발명이 이에 한정되는 것은 아니다. 본 실시예에 있어서는 상기 제1도선이 데이터를 전송하는 데이터라인(data line)인 것으로 하고, 제2도선이 스캔라인(scan line)에 해당하는 것으로 한다.

<62> 도 4a 를 참조하여 전계발광소자의 구조를 상세히 설명한다. 전계발광소자에 있어서는 상기 제1전극(61) 상에 발광층(87)이 형성되고, 상기 발광층 위에 제2전극(62)이 형성된다. 전계발광소자는 유기전계발광소자와 무기전계발광소자로 구분될 수 있는바, 유기전계발광소자인 경우에는 상기 발광층이 크게 전자수송층, 발광물질층, 및 홀수송층으로 구성되고, 무기전계발광소자인 경우에는 상기 제1전극 및 제2전극 각각과 발광층 사이에 절연층이 개재된다.

<63> 유기전계발광소자의 발광물질층을 형성하는 유기물로서는, 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3)등이 이용되는데, 상기 제1전극 및 제2전극에

전하를 공급하면 홀(hole)과 전자가 결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라서 상기 발광물질층이 발광한다.

<64> 무기전계발광소자의 경우에는, 상기 제1전극 및 제2전극의 내측면에 배치된 절연층들 사이의 무기물층이 발광하는데, 상기 무기물로서는 금속황화물인 ZnS, SrS, CsS 등이 이용되며, 최근에는 CaCa_2S_4 , SrCa_2S_4 등의 알칼리 토류 칼륨 황화물과 금속산화물 들도 이용되고 있다. 상기 무기물과 함께 발광층을 형성하는 발광중심원자들로서는 Mn, Ce, Tb, Eu, Tm, Er, Pr, Pb 등을 포함하는 천이 금속 또는 알칼리 희토류 금속들이 이용된다. 상기 제1전극 및 제2전극에 전압을 가하면 전자가 가속되어 발광중심원자와 충돌하는데, 이 때 발광중심원자의 전자들이 더 높은 에너지 준위로 여기 되었다가 기저 상태로 천이 되고, 이에 따라서 상기 무기물층이 발광한다.

<65> 이하에서는 도 4b를 참조하여 액정표시소자를 상기 전계발광소자와 상이한 사항을 중심으로 설명한다. 액정표시소자는 제1기판(91), 구동 박막트랜지스터(50), 제1도선(20), 제2도선(30), 제1전극(61), 제1배향층(97), 제2기판(102), 제2전극(62), 제2배향층(99), 액정층(98), 및 편광층(103)을 구비하는데, 제1기판은 전계발광소자의 기판(81)에 대응한다. 상기 제2기판(102)은 상기 제1기판과는 별도로 제조되고, 그 내측면에는 칼라필터층(101)이 형성된다. 제2전극(62)은 상기 칼라필터층 상에 형성된다. 제1전극(61)과 제2전극 상에는 각각 제1배향층(97)과 제2배향층(99)이 형성되는데, 이들은 이들 사이에 형성되는 액정층(98)의 액정을 배향한다. 편광층(103)은 상기 제1기판과 제2기판의 외면에 형성된다. 스페이서(104)는 상기 제1기판과 제2기판 간의 간격을 유지시킨다.

- <66> 액정표시소자는 상기 액정의 배열에 따라서 빛을 통과시키거나 통과시키지 않는데, 이 액정은 상기 제1전극과 제2전극 간의 전위차에 의하여 그 배열이 결정되고, 상기 액정층을 통과한 빛은 상기 칼라필터층(101)의 색을 띠게 되어 화상을 구현한다.
- <67> 도 11 을 참조하여 본 발명에 따른 제2실시예를 상기 제1실시예와 상이한 사항을 중심으로 설명한다. 본 실시예가 제1실시예와 상이한 점은 반도체채널들이 형성하는 지그재그 형태(L3)가 불규칙적이라는 것이다. 본 발명의 반도체채널의 배열형태가 반드시 규칙적으로 좌우로 왕복하는 형태의 지그재그 형태에 한정되는 것은 아니므로, 본 실시예와 같이 불규칙적으로 왕복하는 형태의 지그재그 형태도 본 발명의 범위에 속한다. 상기 제1실시예의 경우와 같이 반도체채널들을 규칙적으로 배열하지 않고 본 실시예와 같이 불규칙적으로 배열하더라도 제1실시예로부터 얻을 수 있는 효과와 유사한 효과를 얻을 수 있다.
- <68> 도 12 를 참조하여 본 발명에 따른 제3실시예를 상기 제2실시예와 상이한 사항을 중심으로 설명한다. 본 실시예가 제2실시예와 상이한 점은 반도체채널들이 형성하는 지그재그 형태(L4)가 3단의 지그재그 형태라는 점이다. 본 발명에서 말하는 지그재그 형태가 반드시 2단의 지그재그 형태에 한정되는 것은 아니므로, 본 실시예의 경우와 같이 3단의 지그재그 형태도 본 발명의 범위에 속한다. 상기 제2실시예의 경우와 같이 반도체채널들을 2단으로 배열하지 않고 본 실시예와 같이 3단으로 배열하더라도 제2실시예로부터 얻을 수 있는 효과와 유사한 효과를 얻을 수 있다. 본 실시예의 변형예로서, 일 열의 반도체채널을 규칙적인 3단의 지그재그 형태로 구성하는 것도 가능하다. 일 열의 반도체채널을 3단의 지그재그 형태로 배열하는 경우에도 상기 제1실시예와 유사한 효과를 얻을 수 있으며, 특히 상기 불균일부의 간격이 넓은 경우에 유리하다.

- <69> 도 13 를 참조하여 본 발명에 따른 제4실시예를 상기 제1실시예와 상이한 사항을 중심으로 설명한다. 본 실시예가 제1실시예와 상이한 점은 반도체채널(80)들 모두가 불균일부를 포함하도록 형성된다는 것이다.
- <70> 본 실시예에 따른 평판표시소자는 구동 박막트랜지스터, 상기 구동 박막 트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2전극을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서, 상기 구동 박막트랜지스터의 반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어 있고, 상기 구동 박막트랜지스터들의 반도체채널들 모두는 불균일부를 구비한다.
- <71> 즉 반도체채널들은 지그재그 형태로 배열되는 것이 아니라 직선(L5)을 따라 열을 지어 배열되고, 각 반도체채널은 모두 불균일부(M)를 구비한다. 도 13 에는 하나의 반도체채널이 하나의 불균일부를 구비한 것으로 도시되었으나, 하나의 반도체채널이 둘 이상의 불균일부를 포함하는 것도 본 발명의 범위를 벗어나지 않는다. 또한 본 발명은 각 반도체채널이 갖는 불균일부의 수가 일정한 경우에 한정되지 않는바, 예를 들어 일부 반도체채널은 하나의 불균일부를 다른 반도체채널은 두 개의 불균일부를 갖는 경우도 본 발명에 포함된다. 다만, 각 서브픽셀의 휘도차이를 줄이기 위하여 각 반도체채널이 갖는 불균일부의 수가 동일한 것이 바람직하다.
- <72> 본 실시예에 있어서는 각 반도체채널의 횡방향 간격과 불균일부의 횡방향 간격 간에 정수배의 관계가 있어야 하며, 반도체층 형성후 반도체채널을 형성할 때 각 반도체채널이 불균일부를 포함하도록 해야 한다. 특히 상기 구동 박막트랜지스터의 반도체채널은, 비결정질실리콘을 다결정질실리콘으로 결정화시키기 위하여 조사되는 레이저빔의 단축길 이와, 상기 레이저빔이 오버랩되지 않는 부분의 비율을 곱한 수치의 길이를 갖는 것이 바람직하다.

- <73> 본 실시예에 따르면, 각 반도체채널이 동일한 수의 불균일부를 포함하기 때문에 서브픽셀들 간에 휘도 차이가 없고, 따라서 매우 균일한 휘도를 보이므로 화상의 품질이 향상된다는 장점이 있다.
- <74> 도 14 를 참조하여 본 발명에 따른 제5실시예를 상기 제4실시예와 상이한 사항을 중심으로 설명한다. 본 실시예가 제4실시예와 상이한 점은 반도체채널(80)들 모두가 불균일부를 포함하지 않도록 형성된다는 것이다. 즉, 상기 구동 박막트랜지스터들의 반도체채널들은 상기 불균일부 사이에 형성된다. 본 실시예에 있어서도 반도체채널들은 지그재그 형태로 배열되는 것이 아니라 직선(L6)을 따라 열을 지어 배열되지만, 각 반도체채널은 불균일부(M)들 사이에 형성된다.
- <75> 본 실시예에 있어서 각 반도체채널의 횡방향 간격과 불균일부의 횡방향 간격 간에 정수 배의 관계가 있어야 하며, 반도체층 형성후 반도체채널을 형성할 때 각 반도체채널이 불균일부 사이에 배치되도록 해야 한다.
- <76> 본 실시예에 따르면, 각 반도체채널이 불균일부를 포함하지 않기 때문에 서브픽셀들 간에 휘도 차이가 없고, 따라서 매우 균일한 휘도를 보이므로 화상의 품질이 향상된다는 장점이 있다.

【발명의 효과】

- <77> 본 발명에 의하여, 서브픽셀의 휘도 차이로 인한 줄무늬가 발생하지 않고, 따라서 화상 품질이 향상된 평판표시소자가 제공된다.
- <78> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가

능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구 범위의 기술적 사상에 의하여 정해져야 할 것이다.

【특허청구범위】**【청구항 1】**

구동 박막트랜지스터, 상기 구동 박막트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2전극을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서,

상기 구동 박막트랜지스터의 반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어 있고, 일 열의 구동 박막트랜지스터의 반도체채널들 각각을 연결하는 선은 상기 불균일부와 평행하지 않은 것을 특징으로 하는 평판표시소자.

【청구항 2】

제 1 항에 있어서,

상기 구동 박막트랜지스터의 반도체채널들을 연결하는 선은 직선이 아닌 것을 특징으로 하는 평판표시소자.

【청구항 3】

제 2 항에 있어서,

상기 구동 박막트랜지스터의 반도체채널들을 연결하는 선은 지그재그 형태를 갖는 것을 특징으로 하는 평판표시소자.

【청구항 4】

제 3 항에 있어서,

상기 지그재그 형태는 규칙적인 지그재그 형태인 것을 특징으로 하는 평판표시소자.

【청구항 5】

제 3 항에 있어서,

상기 지그재그 형태는 불규칙적인 지그재그 형태인 것을 특징으로 하는 평판표시소자.

【청구항 6】

제 3 항에 있어서,

상기 지그재그 형태는 2단의 지그재그 형태인 것을 특징으로 하는 평판표시소자.

【청구항 7】

제 3 항에 있어서,

상기 지그재그 형태는 3단의 지그재그 형태인 것을 특징으로 하는 평판표시소자.

【청구항 8】

제 1 항 내지 제 7 항 중의 어느 한 항에 있어서,

상기 불균일부들은 일정한 간격으로 형성된 것을 특징으로 하는 평판표시소자.

【청구항 9】

제 3 항 내지 제 7 항 중의 어느 한 항에 있어서,

상기 불균일부들은 일정한 간격으로 형성되고, 상기 지그재그 형태의 폭은 상기 불균일부의 폭보다 큰 것을 특징으로 하는 평판표시소자.

【청구항 10】

구동 박막트랜지스터, 상기 구동 박막 트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2전극을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서,

상기 구동 박막트랜지스터의 반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어 있고, 상기 구동 박막트랜지스터들의 반도체채널들 각각은 불균일부를 구비한 것을 특징으로 하는 평판표시소자.

【청구항 11】

제 10 항에 있어서,

상기 반도체채널 각각은 동일한 수의 불균일부를 구비한 것을 특징으로 하는 평판표시소자.

【청구항 12】

제 11 항에 있어서,

상기 구동 박막트랜지스터의 반도체채널은, 비결정질실리콘을 다결정질실리콘으로 결정화시키기 위하여 조사되는 레이저빔의 단축길이와, 상기 레이저빔이 오버랩되지 않는 부분의 비율을 곱한 수치의 길이를 갖는 것을 특징으로 하는 평판표시소자.

【청구항 13】

제 10 항 내지 제 12 항 중의 어느 한 항에 있어서,

상기 불균일부들은 일정한 간격으로 형성된 것을 특징으로 하는 평판표시소자.

【청구항 14】

구동 박막트랜지스터, 상기 구동 박막트랜지스터에 의하여 구동되는 제1전극, 및 상기 제1전극과 함께 발광부를 구동하는 제2전극을 구비한 서브픽셀들이 매트릭스 형태로 배열된 평판표시소자로서,

상기 구동 박막트랜지스터의 반도체채널을 형성하는 반도체층에는 직선상의 불균일부들이 소정의 간격으로 형성되어 있고, 상기 구동 박막트랜지스터들의 반도체채널들은 상기 불균일부 사이에 형성된 것을 특징으로 하는 평판표시소자.

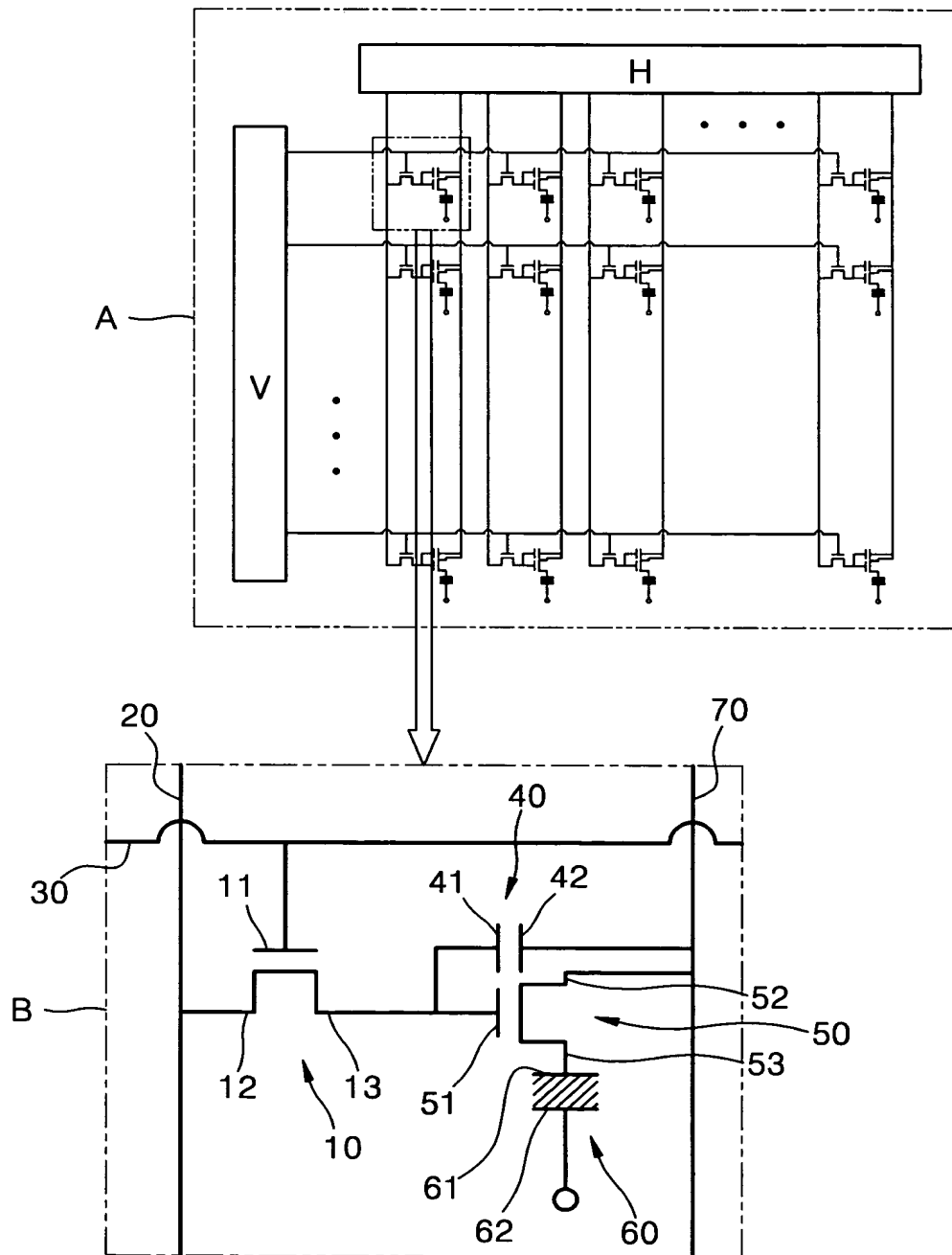
【청구항 15】

제 14 항에 있어서,

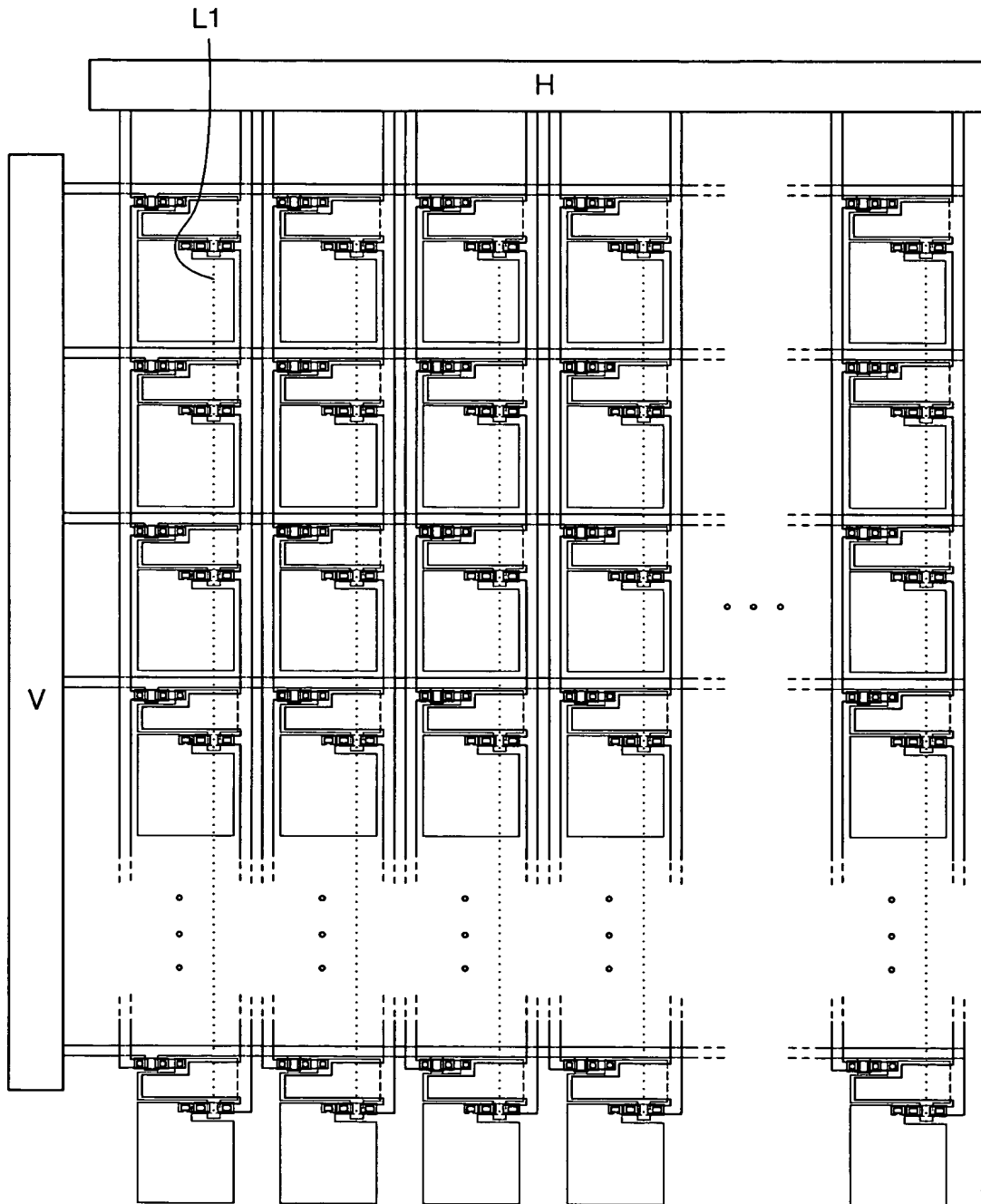
상기 불균일부들은 일정한 간격으로 형성된 것을 특징으로 하는 평판표시소자.

【도면】

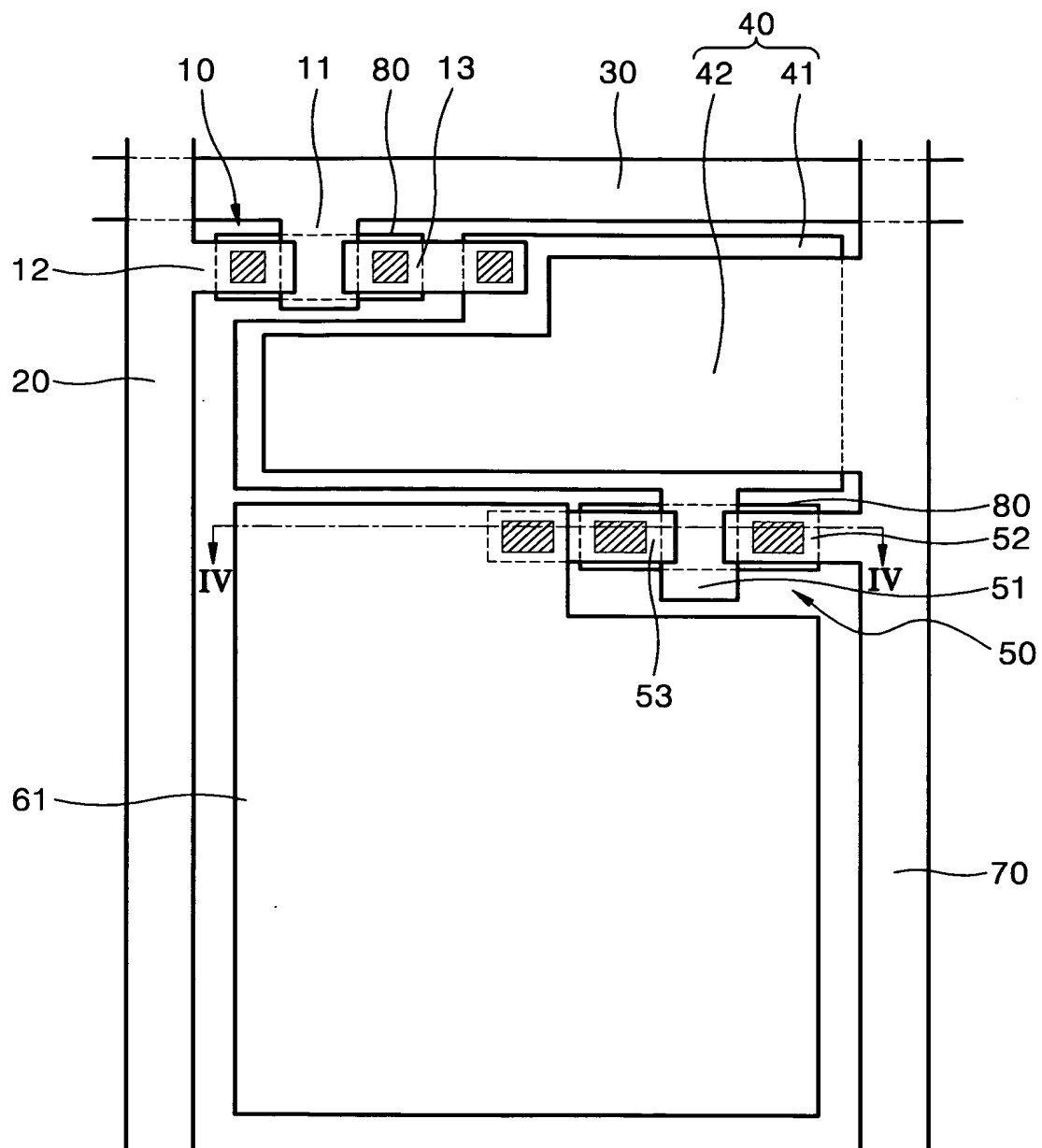
【도 1】



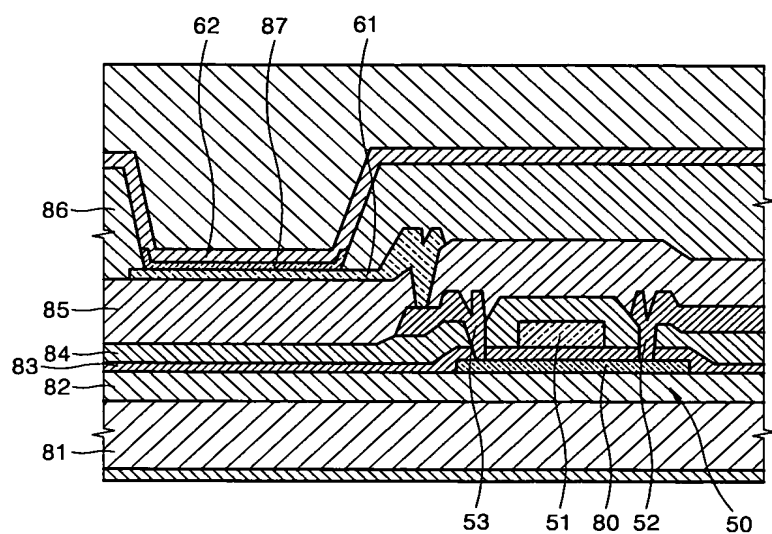
【도 2】



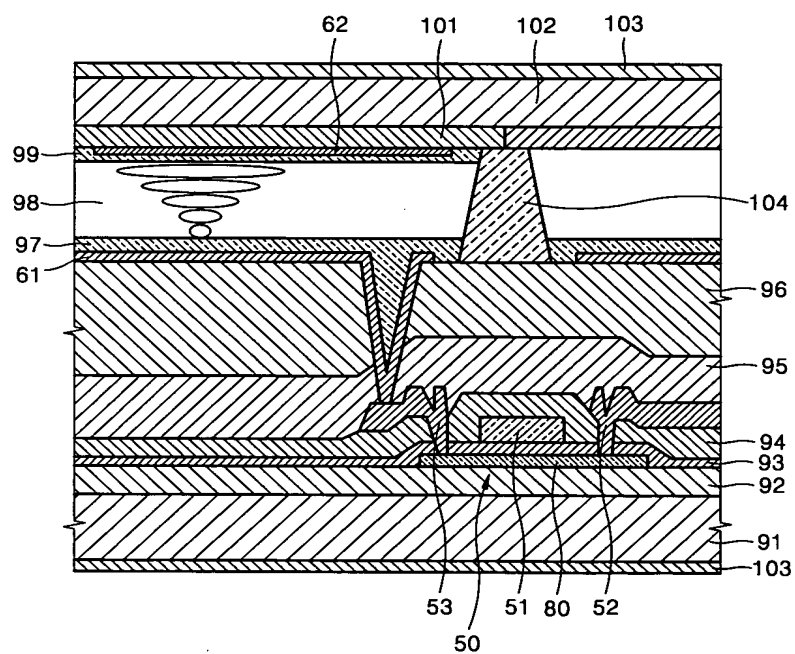
【도 3】



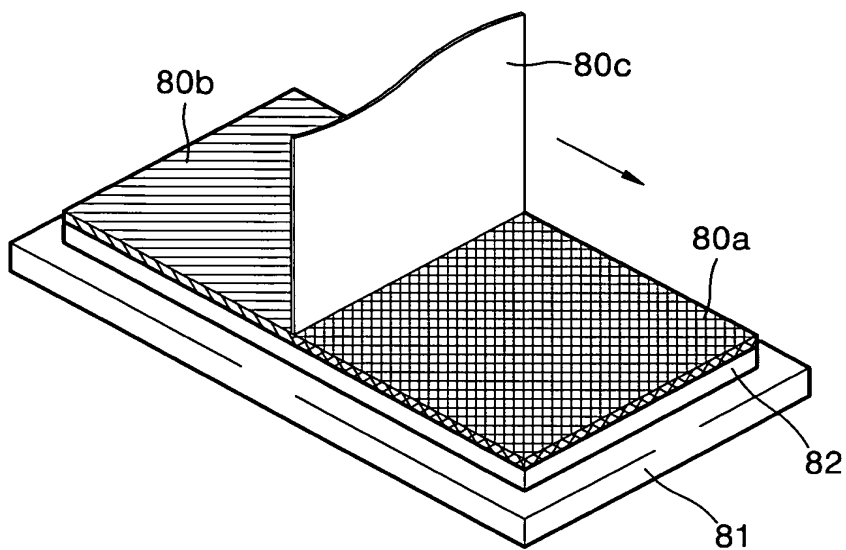
【도 4a】



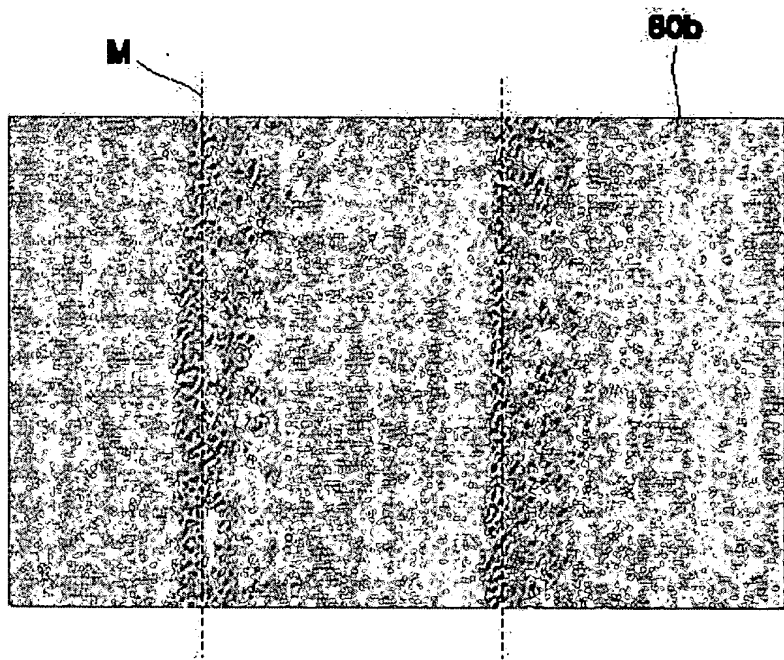
【도 4b】



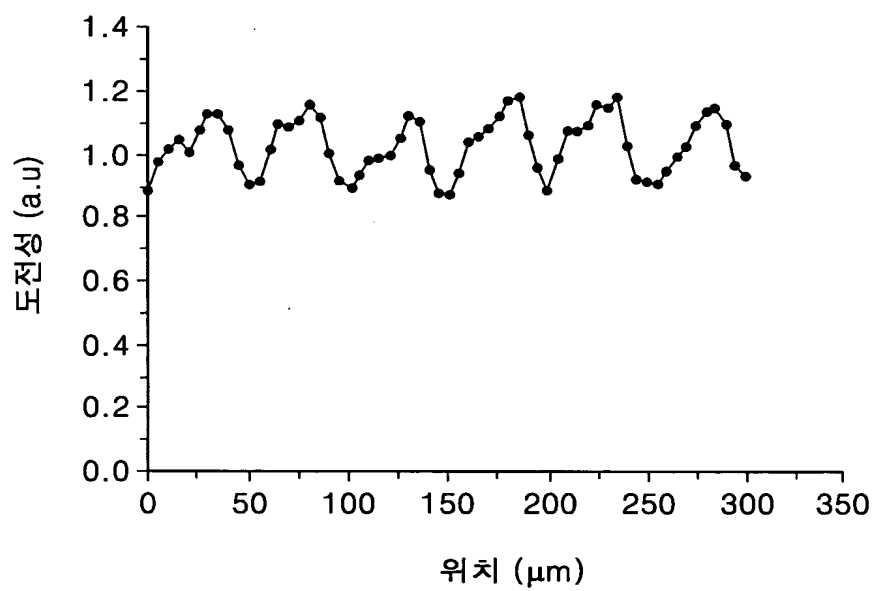
【도 5】



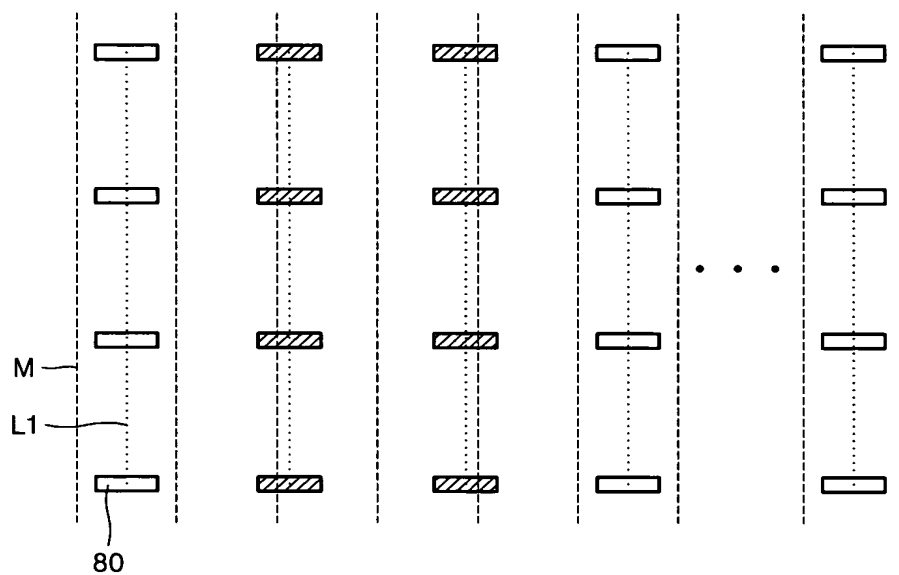
【도 6】



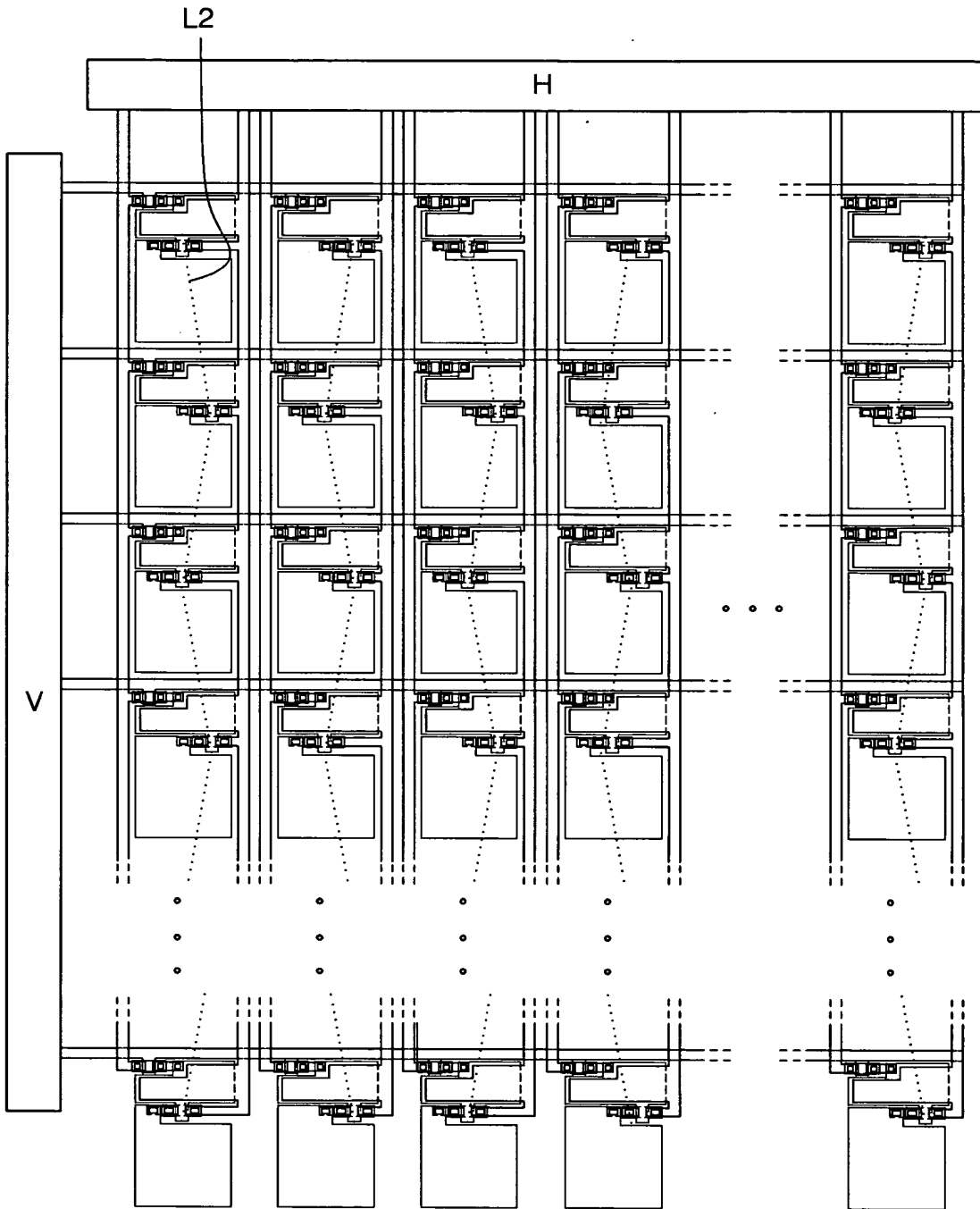
【도 7】



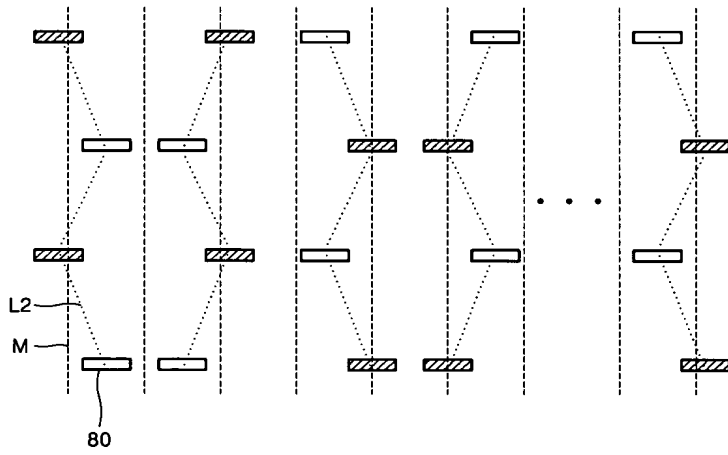
【도 8】



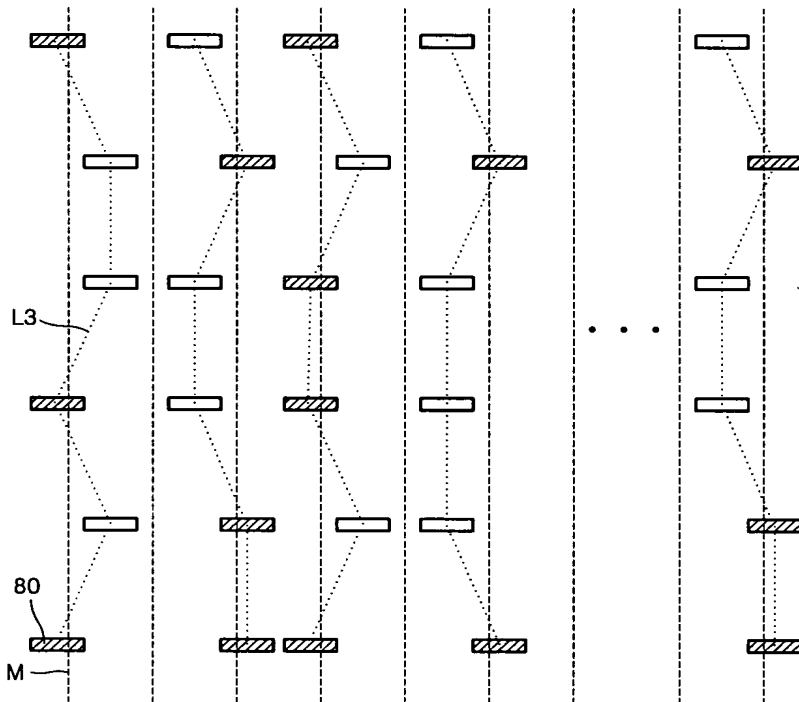
【도 9】



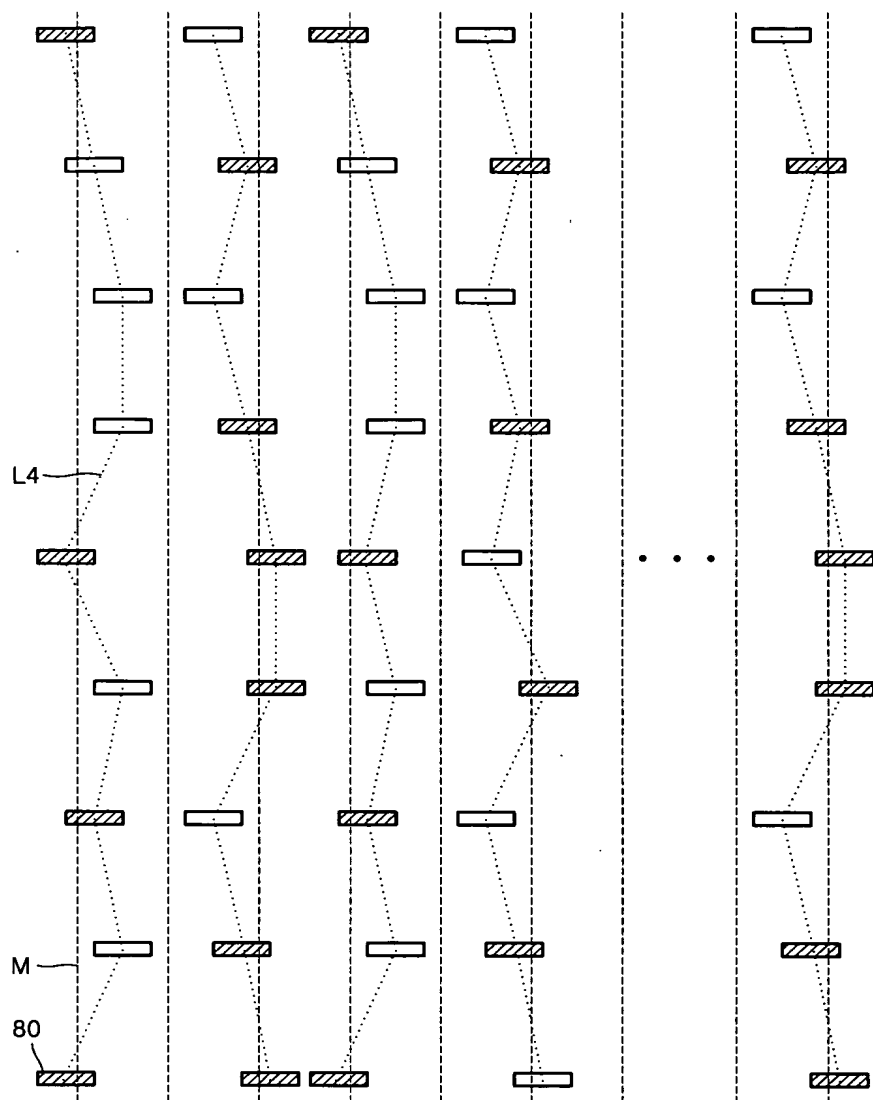
【도 10】



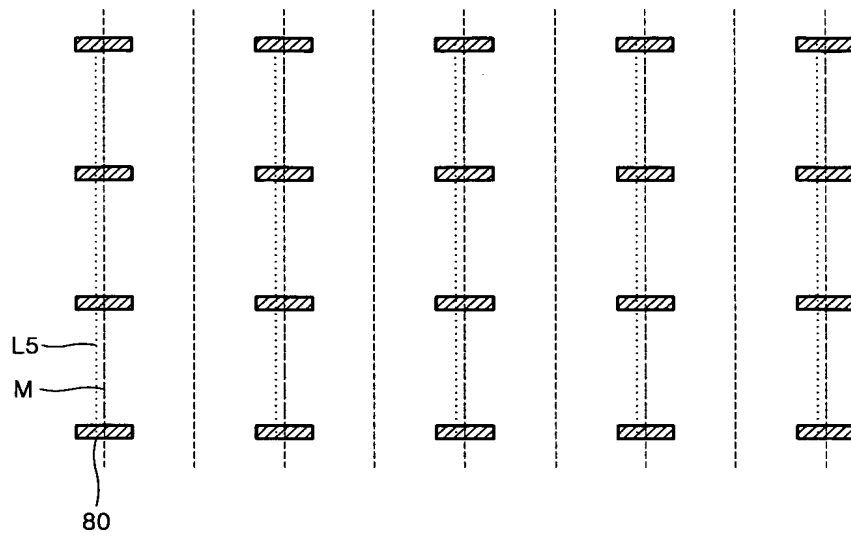
【도 11】



【도 12】



【도 13】



【도 14】

